

**PAT-NO:** JP02003017530A  
**DOCUMENT-IDENTIFIER:** JP 2003017530 A  
**TITLE:** SEMICONDUCTOR DEVICE AND ITS MOUNTING METHOD  
**PUBN-DATE:** January 17, 2003

**INVENTOR-INFORMATION:**

NAME	COUNTRY
ISHIKAWA, TOMOKAZU	N/A
ONISHI, TAKEHIRO	N/A
TANAKA, HIDEKI	N/A
KIMOTO, RYOSUKE	N/A
NISHIDA, TAKAFUMI	N/A

**ASSIGNEE-INFORMATION:**

NAME	COUNTRY
HITACHI LTD	N/A
HITACHI ULSI SYSTEMS CO LTD	N/A

**APPL-NO:** JP2001196083  
**APPL-DATE:** June 28, 2001

**INT-CL (IPC):** H01L021/60 , H01L021/56 , H01L023/12 , H01L023/29 , H01L023/31

**ABSTRACT:**

**PROBLEM TO BE SOLVED:** To provide a semiconductor device where filling properties can be improved by making the flow of an underfill material uniform and stress concentration can be relaxed and the directivity can be further given to a package.

**SOLUTION:** A WPP, where a prescribed circuit and a plurality of bumps are formed in a wafer level, is composed of the package 1 where a plurality of bumps are arranged in an array on a chip. A plurality of bumps 2 of this package 1 comprise regular bumps 2a that are electrically connected to the prescribed circuit, and dummy bumps 2b that are not electrically connected. The regular bumps 2a are arranged at five lines of the periphery of a 18 rows × 18 columns full matrix except the corners and the dummy bumps 2b are arranged at the 8 rows × 8 columns matrix in a central part and the corners of the 18 rows × 18 columns matrix. As a result, the dummy bumps 2b can be provided in the free space of the central part where the regular bumps 2a become unnecessary, and thus the flow of the underfill material becomes uniform.

COPYRIGHT: (C) 2003, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-17530

(P2003-17530A)

(43) 公開日 平成15年1月17日 (2003.1.17)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テマコード (参考)
H 0 1 L 21/60	3 1 1	H 0 1 L 21/60	3 1 1 S 4 M 1 0 9
		21/56	E 5 F 0 4 4
21/56		23/12	5 0 1 P 5 F 0 6 1
23/12	5 0 1	23/30	R
23/29		21/92	6 0 2 N

審査請求 未請求 請求項の数 5 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願2001-196083 (P2001-196083)

(22) 出願日 平成13年6月28日 (2001.6.28)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(72) 発明者 石川 智和

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(74) 代理人 100080001

弁理士 筒井 大和

最終頁に続く

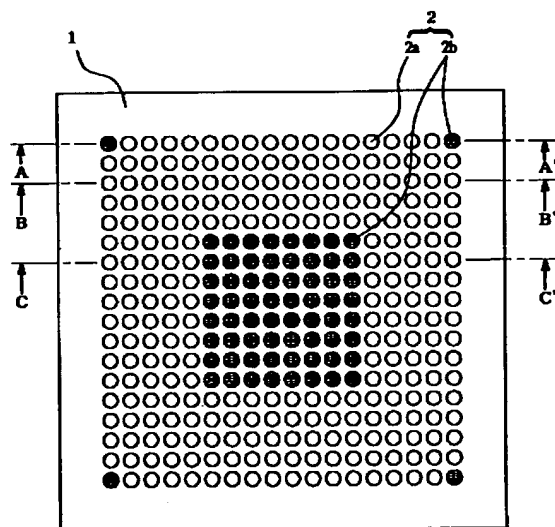
(54) 【発明の名称】 半導体装置およびその実装方法

(57) 【要約】

【課題】 アンダーフィル材の塗れ広がりを一様にする  
ことで充填性を向上させ、また応力集中を緩和することが  
でき、さらにパッケージに方向性を持たせることがで  
きる半導体装置を提供する。

【解決手段】 ウェハの状態で所定の回路および複数の  
パンプが形成されるWPPであって、複数のパンプがチ  
ップ上にアレイ状に配置されたパッケージ1から構成さ  
れ、このパッケージ1の複数のパンプ2は、所定の回路  
に電気的に接続された正規のパンプ2aと、電気的には  
未接続なダミーパンプ2bからなり、正規のパンプ2a  
が18行×18列のフルマトリクスのコーナー部を除い  
た外周5列に配置され、ダミーパンプ2bが中央部の8  
行×8列と18行×18列のコーナー部に配置され、正  
規のパンプ2aが不要となった中央部の空きスペースに  
もダミーパンプ2bを設けることでアンダーフィル材の  
塗れ広がりが一様になる。

図 1



1: パッケージ 2a: 正規のパンプ  
2: パンプ 2b: ダミーパンプ

## 【特許請求の範囲】

【請求項1】 ウェハの状態で形成された所定の回路および複数の外部端子からなり、前記複数の外部端子がチップ上にアレイ状に配置されたパッケージを有し、前記複数の外部端子は、前記所定の回路に電気的に接続された第1外部端子および電気的には未接続な第2外部端子を有し、

前記第1外部端子を配置した空き領域に前記第2外部端子が配置されていることを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記第2外部端子は前記アレイ状の中央部に配置されていることを特徴とする半導体装置。

【請求項3】 請求項1記載の半導体装置において、前記第2外部端子は前記アレイ状の角部に配置されていることを特徴とする半導体装置。

【請求項4】 請求項3記載の半導体装置において、前記アレイ状の角部に配置されるべき4個の第2外部端子のうち、少なくとも1〜3個が配置されていることを特徴とする半導体装置。

【請求項5】 ウェハの状態で形成された所定の回路および複数の外部端子からなり、前記複数の外部端子がチップ上にアレイ状に配置され、前記所定の回路に電気的に接続された第1外部端子および電気的には未接続な第2外部端子を有し、前記第1外部端子を配置した空き領域に前記第2外部端子が配置されているパッケージを用意する工程と、  
前記パッケージを実装基板上に実装し、前記パッケージの外部端子と前記実装基板のパッドとを電気的に接続する工程と、  
前記パッケージと前記実装基板との接続部分に樹脂封止材を供給し、前記樹脂封止材の塗れ広がりを一様にして前記パッケージの外部端子と前記実装基板のパッドとの接続部分を封止する工程とを有することを特徴とする半導体装置の実装方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置の製造技術に関し、特にウェハレベルCSP (Chip Size Package) や、WPP (Wafer Process Package) のバンプレイアウト設計に適用して有効な技術に関する。

## 【0002】

【従来の技術】本発明者が検討した技術として、半導体装置の製造技術に関し、ウェハレベルCSPやWPPについては、以下のような技術が考えられる。このウェハレベルCSPやWPPは、ウェハ状態で後工程と呼ばれる加工処理を行うウェハレベルパッケージング技術であり、チップとほぼ同じ外形寸法のLSIパッケージとして形成される。

【0003】なお、このようなウェハレベルパッケージ

ング技術に関しては、たとえば2000年7月28日、株式会社工業調査会発行、社団法人エレクトロニクス実装学会編の「エレクトロニクス実装大事典」P525に記載される技術などが挙げられる。

## 【0004】

【発明が解決しようとする課題】ところで、前記のようなウェハレベルパッケージング技術について、本発明者が検討した結果、以下のようなことが明らかとなった。たとえば、前記のようなウェハレベルCSPやWPPにおいては、その開発にあたり、バンパの配置を16行×16列のフルマトリクス配置(256個)から18行×18列の外周5列配置(256+4(ダミーバンパまたは未配置)個)に変更する必要性が生じている。この際に、中心の8行×8列は空きスペースとなるため、バンパがないことからアンダーフィル材の充填性に悪影響が生じることが考えられる。

【0005】また、バンパ配置がパッケージのコーナー部に位置するバンパは応力が集中するため、アクティブバンパが配置された場合の影響を考慮する必要がある。さらに、半導体装置のウェハレベルCSP化、WPP化にあたり、外形がほぼ正方形であることから、実装装置でパッケージの方向性を認識可能とすることも必要である。

【0006】そこで、本発明者は、アンダーフィル材の充填性への悪影響、アクティブバンパへの応力集中、パッケージの方向性の認識の3点に着目し、バンパ配置を工夫することで、課題である3点に対処することが可能となることを見出した。

【0007】そこで、本発明の目的は、アンダーフィル材の塗れ広がりを一様にすることで充填性を向上させることができる半導体装置を提供するものである。

【0008】また、本発明の他の目的は、バンパ配置において、コーナーバンパをダミーバンパ、あるいは未配置とすることで応力集中を緩和することができる半導体装置を提供するものである。

【0009】また、本発明のさらに他の目的は、4箇所のコーナーバンパに関して、少なくとも1〜3個のバンパを配置してバンパ配置の対称性をなくし、パッケージに方向性を持たせることができる半導体装置を提供するものである。

【0010】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

## 【0011】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0012】すなわち、本発明による半導体装置は、ウェハの状態です定の回路および複数の外部端子が形成されるウェハレベルCSPやWPPに適用され、複数の外

部端子であるバンパがチップ上にアレイ状に配置されたパッケージを有し、複数のバンパは所定の回路に電氣的に接続された第1バンパおよび電氣的には未接続な第2バンパを有し、第1バンパを配置した空き領域に第2バンパを配置するものである。

【0013】さらに、前記半導体装置において、第2バンパをアレイ状の中央部に配置するものである。すなわち、バンパ配置の結果、バンパが不要となった中央部の空きスペースにも電氣的に未接続なダミーバンパを設け、樹脂封止材であるアンダーフィル材の塗れ広がりを一様にすることで充填性を向上させるようにしたものである。

【0014】また、前記半導体装置において、第2バンパをアレイ状の角部に配置するものである。すなわち、バンパ配置のうち、アレイ状の角部のコーナーバンパをダミーバンパとすることで、コーナー部に集中する応力対策を施すようにしたものである。あるいは、アレイ状の角部に第2バンパを配置しない構造においても、同様に応力対策を施すことができるようになる。

【0015】さらに、前記半導体装置において、アレイ状の角部に配置されるべき4個の第2バンパのうち、少なくとも1〜3個の第2バンパを配置するものである。すなわち、コーナーバンパの4箇所のうち、少なくとも1〜3個のバンパを配置してバンパ配置の対称性をなくし、パッケージに方向性を持たせるようにしたものである。

【0016】また、本発明による半導体装置の実装方法は、ウェハの状態で作成された所定の回路に電氣的に接続された第1バンパおよび電氣的には未接続な第2バンパを有し、第1バンパを配置した空き領域に第2バンパが配置されているパッケージを用意し、このパッケージを実装基板上に実装し、パッケージのバンパと実装基板のパッドとを電氣的に接続し、パッケージと実装基板との接続部分に樹脂封止材を供給し、この樹脂封止材の塗れ広がりを一様にパッケージのバンパと実装基板のパッドとの接続部分を封止する、各工程を有するものである。

#### 【0017】

【発明の実施の形態】以下、本発明の実施の形態を図面に基いて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0018】（実施の形態1）まず、図1および図2により、本発明の実施の形態1の半導体装置の一例の構成を説明する。図1は本実施の形態の半導体装置を示す平面図、図2は図1の半導体装置の断面図であり、それぞれ(a)はA-A'切断線、(b)はB-B'切断線、(c)はC-C'切断線による断面図である。

【0019】本実施の形態の半導体装置は、たとえばウェハの状態で作成された回路および複数のバンパが形成され

るWPPとされ、複数のバンパがチップ上にアレイ状に配置されたパッケージ1から構成されている。ここでは、WPPのウェハレベルパッケージング技術において、チップにバンパが形成されている状態をパッケージと呼ぶものとする。

【0020】パッケージ1は、ウェハの状態で作成された回路が形成され、さらに通常の製造プロセスでは後工程で実施されていたバンパ形成などもウェハの状態で行われる半導体装置であり、複数のバンパ2がアレイ状に配置されている。これらの複数のバンパ2は、所定の回路に電氣的に接続された正規のバンパ2aと、所定の回路に電氣的には未接続なダミーバンパ2bからなり、たとえば図1においては、正規のバンパ2aが18行×18列のフルマトリクスのコーナー部を除いた外周5列に配置(256個)され、ダミーバンパ2bが中央部の8行×8列の空きスペースと18行×18列のコーナー部に配置(64+4個)されている。このダミーバンパ2bは、特にパッケージ1として製品化された段階で電氣的に未接続なバンパを意味する。

【0021】以上のように構成されるパッケージ1は、後述する実装基板上に実装され、パッケージ1のバンパ2と実装基板のパッドとが電氣的に接続され、さらにパッケージ1と実装基板との接続部分に樹脂封止材が供給され、この樹脂封止材の塗れ広がりを一様にパッケージ1のバンパ2と実装基板のパッドとの接続部分が封止される実装構造となっている。

【0022】次に、図3および図4により、本実施の形態の半導体装置の製造方法の一例を説明する。図3および図4は本実施の形態の半導体装置の製造方法を示すフロー図であり、右側の図は左側の各工程に対応する半導体装置の断面図をそれぞれ示す。

【0023】(1)ポリイミド樹脂塗布工程(ステップS1)

この工程では、たとえばシリコン(Si)基板のウェハ11に所定の回路が形成され、この回路の内部端子がアルミニウム(Al)により形成され、この内部端子を露出するようにパッシベーション膜12が形成されている状態に対して実施する。まず、パッシベーション膜12の表面上に感光性のポリイミド樹脂を塗布し、このポリイミド樹脂による絶縁層13の内部端子の部分をフォトリソグラフィ技術により開口し、そして絶縁層13のベーク処理を行う。

【0024】(2)シード層形成工程(ステップS2) この工程では、ポリイミド樹脂による絶縁層13の表面上にクロム(Cr)-銅(Cu)からなるシード層14を形成する。このシード層14は、スパッタリングを行うためのスパッタ膜となる。

【0025】(3)再配線層形成工程(ステップS3) この工程では、シード層14の表面上に銅(Cu)-ニッケル(Ni)によるめっき処理を施して再配線層15

を形成する。

【0026】(4) ポリイミド樹脂塗布工程(ステップS4)

この工程では、再配線層15の表面上に感光性のポリイミド樹脂を塗布し、このポリイミド樹脂による絶縁層16の電極の部分をフォトリソグラフィ技術により開口し、そして絶縁層16のベーク処理を行う。

【0027】(5) めっき処理工程(ステップS5)

この工程では、ポリイミド樹脂による絶縁層16から露出された電極の部分に金(Au)によるめっき処理を施してめっき層17を形成する。

【0028】(6) プローブテスト工程(ステップS6)

この工程では、金によるめっき層17が形成された電極にプローブ針を接触させ、プローブ針に接続されたプローバによりウェハ11の各チップ毎にプローブテストを行う。このプローブテストには、DCテスト、ACテストや機能試験などがある。

【0029】(7) バンプ形成工程(ステップS7)

この工程では、ウェハ11の各チップの電極上にはんだボールからなるバンプ2を形成する。このバンプ2には、所定の回路に電気的に接続された正規のバンプ2aと、電気的には未接続なダミーバンプ2bとがあり、正規のバンプ2aが外部端子となる。

【0030】(8) ダイシング工程(ステップS8)

この工程では、ウェハ11を各チップ毎にダイシングし、チップ毎に個別に切り離す。

【0031】(9) テスト工程(ステップS9)

この工程では、個別に切り離されたチップの最終テストを行い、良品を製品として出荷する。この製品は、前述した図1および図2のような形状のパッケージ1となる。

【0032】次に、図5により、本実施の形態の半導体装置の実装方法の一例を説明する。図5は本実施の形態の半導体装置の実装方法を示すフロー図であり、右側の図は左側の各工程に対応する半導体装置の断面図をそれぞれ示す。

【0033】(1) 用意工程(ステップS11)

この工程では、ウェハの状態 で形成された所定の回路に電気的に接続された正規のバンプ2aと、電気的には未接続なダミーバンプ2bを有し、正規のバンプ2aを配置した空き領域にダミーバンプ2bが配置されているパッケージ1や、実装基板3などを用意する。

【0034】(2) 実装工程(ステップS12)

この工程では、パッケージ1を実装基板3に実装し、パッケージ1のバンプ2と実装基板3のパッドとを電気的に接続する。

【0035】(3) 封止工程(ステップS13)

この工程では、前記の製造方法により完成された、パッケージ1と実装基板3との接続部分に樹脂封止材のアン

ダーフィル材4を供給し、パッケージ1のバンプ2と実装基板3のパッドとの接続部分、パッケージ1の側面部分を封止する。この際に、正規のバンプ2aが配置された空きスペースにもダミーバンプ2bが配置され、バンプ2が18行×18列のフルマトリクスに配置されているので、アンダーフィル材4の塗れ広がりを一様に行うことができる。

【0036】従って、本実施の形態によれば、バンプ配置の結果、正規のバンプ2aが不要となった中央部の空きスペースにもダミーバンプ2bを設けることにより、アンダーフィル材4の塗れ広がりが一様になることで、アンダーフィル材4の充填性を向上できる。よって、アンダーフィル材4内のボイドの低減による信頼性の向上が可能となる。

【0037】また、バンプ配置のうち、コーナー部にダミーバンプ2bを配置することにより、コーナー部のバンプに集中する応力対策を施すことができる。すなわち、ダミーバンプ2bは機能を持たないので、実装時、コーナー部への応力集中によるバンプクラックおよびデバイス特性の劣化を防止できる。よって、コーナー部への応力集中の回避による実装信頼性の向上が可能となる。

【0038】(実施の形態2) 図6により、本発明の実施の形態2の半導体装置の一例の構成を説明する。図6は本実施の形態の半導体装置を示す平面図である。

【0039】本実施の形態の半導体装置は、前記実施の形態1と同様に、たとえばウェハの状態 で所定の回路および複数のバンプが形成されるWPPとされ、前記実施の形態1との相違点は、コーナー部にダミーバンプを配置しないようにした点である。

【0040】すなわち、本実施の形態のパッケージ1aにおいては、図6に示すように、正規のバンプ2aが18行×18列のコーナー部を除いた外周5列に配置(256個)され、ダミーバンプ2bが中央部の8行×8列の空きスペースのみに配置されて、18行×18列のコーナー部は空きスペースとなっている。

【0041】従って、本実施の形態においては、前記実施の形態1と同様に、アンダーフィル材4の塗れ広がりが一様になることで、アンダーフィル材4の充填性を向上できるので、アンダーフィル材4内のボイドの低減による信頼性の向上が可能となる。また、前記実施の形態1と異なり、コーナー部にダミーバンプ2bを配置しない場合にも、前記実施の形態1と同様に、実装時、コーナー部への応力集中によるバンプクラックおよびデバイス特性の劣化を防止できるので、コーナー部への応力集中の回避による実装信頼性の向上が可能となる。

【0042】(実施の形態3) 図7により、本発明の実施の形態3の半導体装置の一例の構成を説明する。図7は本実施の形態の半導体装置を示す平面図である。

【0043】本実施の形態の半導体装置は、前記実施の

形態1と同様に、たとえばウェハの状態で所定の回路および複数のバンパが形成されるWPPとされ、前記実施の形態1との相違点は、コーナー部の3箇所(左下)にダミーバンパを配置するようにした点である。

【0044】すなわち、本実施の形態のパッケージ1bにおいては、図7に示すように、正規のバンパ2aが18行×18列のコーナー部を除いた外周5列に配置(256個)され、ダミーバンパ2bが中央部の8行×8列の空きスペースと18行×18列のコーナー部のうちの3箇所のみに配置されて、1箇所(左下)は空きスペースとなっている。

【0045】従って、本実施の形態においては、前記実施の形態1と同様に、アンダーフィル材4の塗れ広がりが一様になることで、アンダーフィル材4の充填性を向上できるので、アンダーフィル材4内のボイドの低減による信頼性の向上が可能となる。また、前記実施の形態1と同様に、実装時、コーナー部への応力集中によるバンクラックおよびデバイス特性の劣化を防止できるので、コーナー部への応力集中の回避による実装信頼性の向上が可能となる。

【0046】さらに、本実施の形態においては、コーナー部の3箇所にダミーバンパ2bが配置され、1箇所が空きスペースとなっているので、パッケージ1bに方向性を持たせることができるので、搭載機でパッケージ1bの方向認識が可能となる。すなわち、正方形のエリアパッケージでは、バンパ配置も点対称であるとパッケージに方向性がないため、本実施の形態による構造が有効となる。また、逆に、コーナー部の1箇所のみにダミーバンパ2bを配置し、3箇所を空きスペースにすることなどによっても同様に、パッケージ1bに方向性を持たせることが可能である。

【0047】(実施の形態4) 図8により、本発明の実施の形態4の半導体装置の一例の構成を説明する。図8は本実施の形態の半導体装置を示す平面図である。

【0048】本実施の形態の半導体装置は、前記実施の形態1と同様に、たとえばウェハの状態で所定の回路および複数のバンパが形成されるWPPとされ、前記実施の形態1との相違点は、フルマトリクスのエリア外にダミーバンパを配置するようにした点である。

【0049】すなわち、本実施の形態のパッケージ1cにおいては、図8に示すように、正規のバンパ2aが18行×18列のコーナー部を除いた外周5列に配置(256個)され、ダミーバンパ2bが中央部の8行×8列の空きスペースと18行×18列のコーナー部に加えて、エリア外の1箇所、すなわち左上コーナー部のダミーバンパ2bの左隣にも配置されている。

【0050】従って、本実施の形態においては、前記実施の形態1と同様に、アンダーフィル材4の塗れ広がりが一様になることで、アンダーフィル材4の充填性を向上できるので、アンダーフィル材4内のボイドの低減に

よる信頼性の向上が可能となる。また、前記実施の形態1と同様に、実装時、コーナー部への応力集中によるバンクラックおよびデバイス特性の劣化を防止できるので、コーナー部への応力集中の回避による実装信頼性の向上が可能となる。

【0051】さらに、本実施の形態においては、フルマトリクスのエリア外の1箇所にダミーバンパ2bが配置されているので、前記実施の形態3と同様に、パッケージ1cに方向性を持たせることができるので、搭載機でパッケージ1cの方向認識が可能となる。また、エリア外のダミーバンパ2bは、左上コーナー部のダミーバンパ2bの左隣に限らず、左上コーナー部のダミーバンパ2bの上隣や、他のコーナー部に配置することによっても同様に、パッケージ1cに方向性を持たせることが可能である。

【0052】以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0053】たとえば、前記実施の形態においては、所定の回路に電気的には未接続なバンパをダミーバンパと呼んだが、パッケージとして製品化された段階では電気的に未接続であるが、実装前のテストの段階で、このテストのための電位を加えたり、信号を加えたりする場合などに、このバンパを用いることは可能である。

【0054】また、前記実施の形態では、18行×18列のフルマトリクスにコーナー部を除いた外周5列に256個の正規のバンパを配置した例を説明したが、これに限定されるものではなく、他の行列構成や、正規のバンパの個数についても種々変更可能である。

【0055】さらに、本発明は、WPPに限らず、ウェハレベルCSPにも適用可能であることはいうまでもない。

【0056】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0057】(1) 所定の回路に電気的に接続された第1バンパ、および電気的には未接続な第2バンパを有し、第1バンパを配置した空き領域に第2バンパを配置することで、アンダーフィル材の塗れ広がりを一様にすることができるので、アンダーフィル材の充填性を向上させることが可能となる。

【0058】(2) 前記(1)により、アンダーフィル材の内部のボイド低減によって信頼性の向上が可能となる半導体装置を実現することができる。

【0059】(3) 第2バンパをアレイ状の角部に配置したり、あるいは配置しない構造とすることで、コーナー部に集中する応力対策を施し、実装時、コーナーバン

ブへの応力集中によるバンプクラックおよびデバイス特性の劣化を防止することが可能となる。

【0060】(4)前記(3)により、コーナーバンプへの応力集中の回避によって実装信頼性の向上が可能となる半導体装置を実現することができる。

【0061】(5)アレイ状の角部に配置されるべき4個の第2バンプのうち、少なくとも1〜3個の第2バンプを配置することで、バンプ配置の対称性をなくし、パッケージに方向性を持たせることができるので、パッケージを基板へ搭載する際の方向認識が可能となる。

【0062】(6)前記(5)により、実装時の誤搭載、認識エラーの改善が可能となる半導体装置を実現することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1の半導体装置を示す平面図である。

【図2】(a)、(b)、(c)は本発明の実施の形態1の半導体装置において、それぞれ図1のA-A'切断線、B-B'切断線、C-C'切断線による断面図である。

【図3】本発明の実施の形態1の半導体装置の製造方法を示すフロー図である。

【図4】本発明の実施の形態1の半導体装置の製造方法

を示す、図3に続くフロー図である。

【図5】本発明の実施の形態1の半導体装置の実装方法を示すフロー図である。

【図6】本発明の実施の形態2の半導体装置を示す平面図である。

【図7】本発明の実施の形態3の半導体装置を示す平面図である。

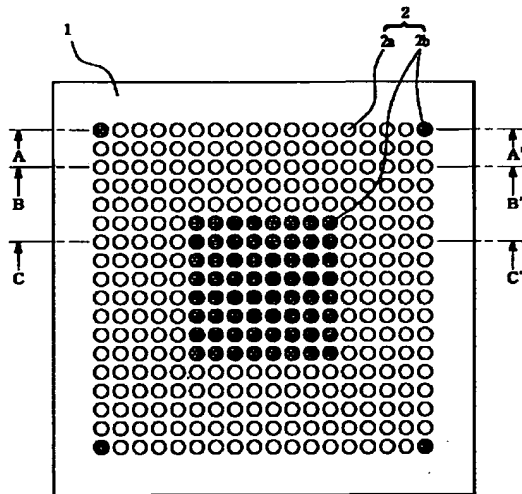
【図8】本発明の実施の形態4の半導体装置を示す平面図である。

#### 10 【符号の説明】

- 1, 1a, 1b, 1c パッケージ
- 2 バンプ
- 2a 正規のバンプ
- 2b ダミーバンプ
- 3 実装基板
- 4 アンダーフィル材
- 11 ウェハ
- 12 パッシベーション膜
- 13, 16 絶縁層
- 20 シード層
- 15 再配線層
- 17 めっき層

【図1】

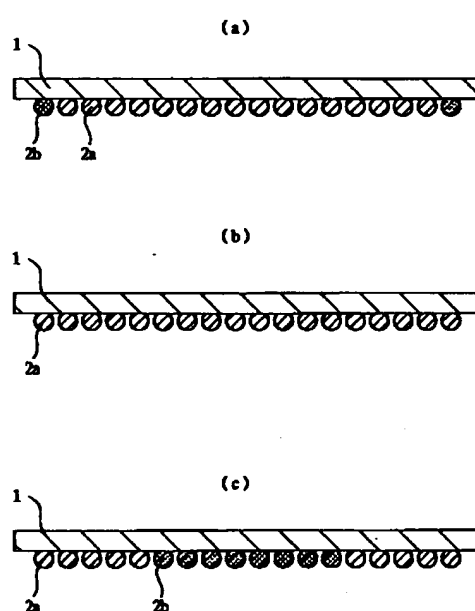
図 1



1: パッケージ 2a: 正規のバンプ  
2: バンプ 2b: ダミーバンプ

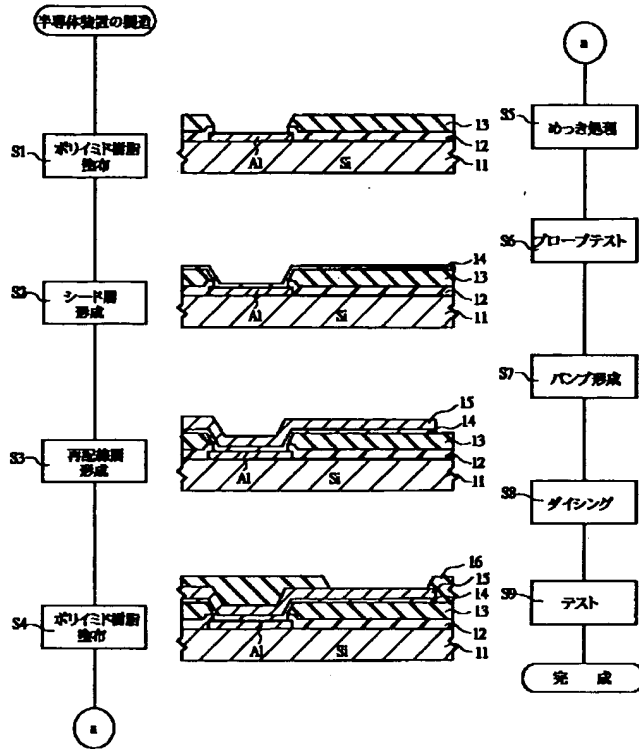
【図2】

図 2



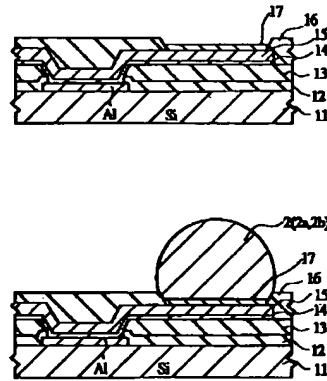
【図3】

図 3



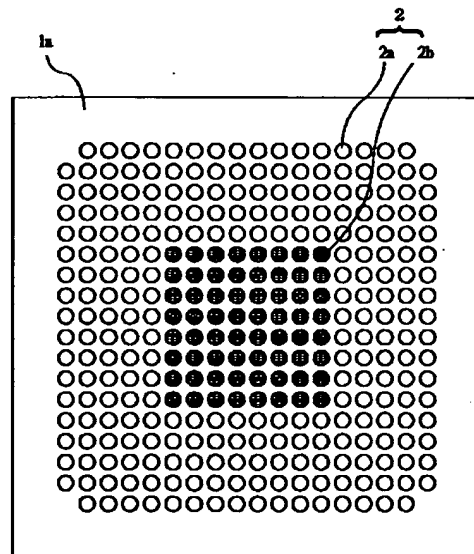
【図4】

図 4



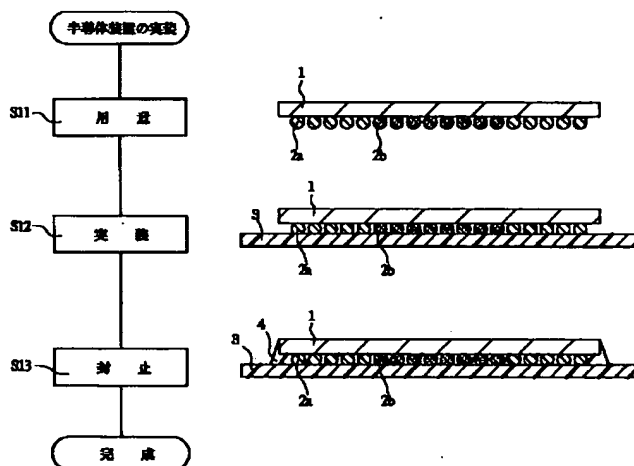
【図6】

図 6



【図5】

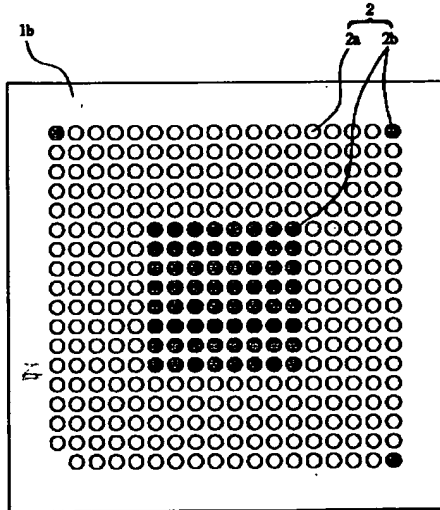
図 5





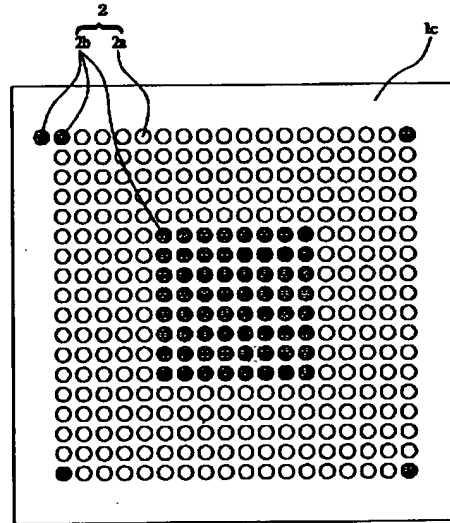
【図7】

図 7



【図8】

図 8



フロントページの続き

(51)Int. Cl.<sup>7</sup>

H01L 23/31

識別記号

F I

テマコード(参考)

(72)発明者 大西 健博

東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体グループ内

(72)発明者 田中 英樹

東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体グループ内

(72)発明者 木本 良輔

東京都小平市上水本町5丁目22番1号 株  
式会社日立超エル・エス・アイ・システム  
ズ内

(72)発明者 西田 隆文

東京都小平市上水本町5丁目22番1号 株  
式会社日立超エル・エス・アイ・システム  
ズ内

Fターム(参考) 4M109 AA01 BA03 CA05 DB17

5F044 LL11 QQ02 QQ04 RR18 RR19

5F061 AA01 BA03 CA05